

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年6月30日 (30.06.2005)

PCT

(10) 国際公開番号
WO 2005/060091 A1

(51) 国際特許分類7:
H01L 41/22, H03H 9/17, H01L 41/107

(21) 国際出願番号:
PCT/JP2004/018890

(22) 国際出願日:
2004年12月17日 (17.12.2004)

(25) 国際出願の言語:
日本語

(26) 国際公開の言語:
日本語

(30) 優先権データ:
特願2003-422211
2003年12月19日 (19.12.2003) JP

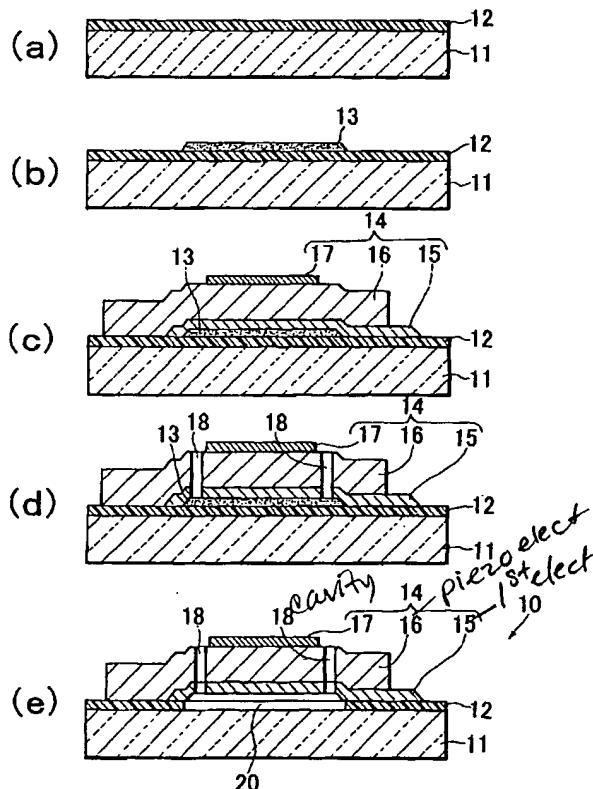
(71) 出願人(米国を除く全ての指定国について): 宇部
興産株式会社 (UBE INDUSTRIES, LTD.) [JP/JP]; 〒
7558633 山口県宇部市大字小串1978番地の96
Yamaguchi (JP).

(72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 長尾 圭吾 (NA-
GAO, Kelgo) [JP/JP]; 〒7558633 山口県宇部市大字小串
1978番地の5 宇部興産株式会社宇部研究所内 Yamaguchi (JP). 国沢 哲郎 (KUNISAWA, Tetsuro) [JP/JP];
〒7558633 山口県宇部市大字小串1978番地の5 宇部興産株式会社宇部研究所内 Yamaguchi (JP). 山田
哲夫 (YAMADA, Tetsuo) [JP/JP]; 〒7558633 山口県宇
部市大字小串1978番地の5 宇部興産株式会社宇
部研究所内 Yamaguchi (JP).

/続葉有/

(54) Title: METHOD FOR MANUFACTURING PIEZOELECTRIC THIN-FILM DEVICE AND PIEZOELECTRIC THIN-FILM DEVICE

(54) 発明の名称: 压電薄膜デバイスの製造方法および压電薄膜デバイス



一部が露出するように压電体薄膜及び下部電極を貫通するピアホール (18) を設ける工程と、ピアホールから特定化学物質を導入することによって犠牲層及び絶縁層を同一の特定化学物質でエッ

(57) Abstract: Disclosed is a method for manufacturing a piezoelectric thin-film device comprising a step wherein an insulating layer (12) to be etched with a specific chemical substance is formed on the upper surface of a substrate (11); a step wherein a sacrifice layer (13) composed of a material whose etching rate by the specific chemical substance is larger than that of the insulating layer is formed on a part of the insulating layer; a step wherein a lower electrode (15) is formed over a region including the sacrifice layer; a step wherein a piezoelectric thin film (16) is formed over a region including a part of the lower electrode; a step wherein an upper electrode (17) is formed over a region including a part of the piezoelectric thin film; a step wherein a via hole (18) penetrating through the piezoelectric thin film and the lower electrode is formed so that a part of the sacrifice layer is exposed; and a step wherein a space (20) for vibrations is formed by introducing the specific chemical substance through the via hole and etching the sacrifice layer and the insulating layer with the same specific chemical substance.

(57) 要約: 基板 (11) の上面に特定化学物質でエッティングされる絶縁層 (12) を形成する工程と、絶縁層上の一一部の領域に特定化学物質によるエッティング速度が絶縁層よりも大きい物質からなる犠牲層 (13) を形成する工程と、犠牲層を含む領域に下部電極 (15) を形成する工程と、下部電極の一一部を含む領域に压電体薄膜 (16) を形成する工程と、压電体薄膜の一一部を含む領域に上部電極 (17) を形成する工程と、犠牲層の

/続葉有/

WO 2005/060091 A1



(74) 代理人: 山下 積平 (YAMASHITA, Johei); 〒1050001
東京都港区虎ノ門五丁目13番1号虎ノ門40MT
ビル 山下国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

明細書

圧電薄膜デバイスの製造方法および圧電薄膜デバイス

技術分野

[0001] 本発明は、圧電体薄膜を利用した圧電薄膜共振器を単独または複数個組み合せることにより作製される圧電薄膜デバイスの製造方法に関するものであり、更に詳細に記せば、通信機用フィルタ等に使用される圧電薄膜デバイスの製造方法およびそれによって製造された圧電薄膜デバイスに関する。

背景技術

[0002] 圧電現象を応用したデバイスは広範な分野で用いられている。携帯機器の小型化と省力化が進む中で、RF用およびIF用フィルタとして弾性表面波(Surface Acoustic Wave:SAW)デバイスの使用が拡大している。SAWフィルタは設計および生産技術の向上によりユーザーの厳しい要求仕様に対応してきたが、利用周波数の高周波数化と共に特性向上の限界に近づき、電極形成の微細化と安定した出力確保の両面で大きな技術革新が必要となってきている。

[0003] 一方、圧電体薄膜の厚み振動を利用した薄膜バルク波共振器(Thin Film Bulk Acoustic Resonator:以下FBAR)、積層型薄膜バルク波共振器およびフィルタ(Stacked Thin Film Bulk Acoustic Resonators and Filters:以下SBAR)は、基板に設けられた薄い支持膜の上に、主として圧電体よりなる薄膜と、これを駆動する電極を形成したものであり、ギガヘルツ帯での基本共振が可能である。FBARまたはSBARでフィルタを構成すれば、著しく小型化でき、かつ低損失・広帯域動作が可能な上に、半導体集積回路と一体化することができるので、将来の超小型携帯機器への応用が期待されている。

[0004] このような弾性波を利用した共振器、フィルタ等に応用されるFBAR、SBARなどの圧電薄膜共振器は、以下のようにして製造される。

[0005] シリコンなどの半導体単結晶、シリコンウェハ上に形成された多結晶ダイヤモンド、エリンバーなどの恒弾性金属などの基板上に、種々の薄膜形成方法によって、誘電体薄膜、導電体薄膜、またはこれらを積層した下地膜を形成する。この下地膜上に

圧電体薄膜を形成し、さらに必要に応じた上部構造を形成する。各層の形成後に、または全層を形成した後に、各々の膜に物理的処理または化学的処理を施すことにより、微細加工、パターニングを行う。次に、湿式法に基づく異方性エッチングにより基板から振動部の下に位置する部分を除去した浮き構造を作製した後、最後に1デバイス単位に分離することにより圧電薄膜共振器を得る。

[0006] 例えば、従来知られている圧電薄膜共振器の製造方法の1つは、基板の上面に下地膜、下部電極、圧電体薄膜および上部電極を形成した後に、基板の下面側から振動部となる部分の下にある基板部分を除去して、ビアホールを形成する方法である(例えば、特許文献1および2参照)。基板がシリコンからなるものであれば、加熱KOH水溶液を使用してシリコン基板の一部を裏面からエッチングして取り去ることにより、ビアホールを形成する。これにより、シリコン基板の上面側において、圧電体薄膜が複数の金属電極の間に挟み込まれた構造体の縁部をビアホールの周囲の部分で支持した形態を有する共振器を作製できる。

[0007] しかしながら、KOHなどのアルカリを使用した湿式エッチングを行うと、(111)面に平行にエッチングが進行するため、(100)シリコン基板表面に対して54.7度の傾斜でエッチングが進行し、隣り合う共振器の間の距離を著しく遠くにしなければならない。例えば、厚さ $550\text{ }\mu\text{m}$ のシリコンウェハの上に構成された約 $150\text{ }\mu\text{m}\times 150\text{ }\mu\text{m}$ の平面寸法を有するデバイスは、約 $930\text{ }\mu\text{m}\times 930\text{ }\mu\text{m}$ の裏面側エッチング孔を必要とし、隣り合う共振器の中心間距離は $930\text{ }\mu\text{m}$ 以上になってしまふ。このことは、圧電薄膜共振器の集積化を妨げるばかりでなく、隣り合う圧電薄膜共振器を接続する金属電極が長くなり、その電気抵抗が大きくなるために、圧電薄膜共振器を複数個組み合わせて作製される圧電薄膜デバイスの挿入損失が著しく大きくなるという問題がある。また、開口部 $930\text{ }\mu\text{m}$ というような大きなビアホールは破損しやすいばかりでなく、最終製品の取得量、即ち、基板上の圧電薄膜デバイスの歩留まりも制限を受け、基板の約 $1/15$ の領域をデバイス生産に利用できるだけとなる。一方、複数個の共振器にまたがるような大きなビアホールを形成することも考えられるが、ビアホールはますます大きくなり、デバイスの強度が著しく低下して、更に破損しやすくなる。

[0008] 圧電薄膜デバイスに応用されるFBAR、SBARなどの圧電薄膜共振器を製造する

従来技術の第2の方法は、空気ブリッジ式FBARデバイスを作ることである(例えば、特許文献3、4、及び5参照)。通常、最初に犠牲層(Sacrificial layer)を設置し、次にこの犠牲層の上に圧電薄膜共振器を製作する。プロセスの終わりまたは終わり近くに、犠牲層を除去して、振動用空間を形成する。処理はすべて基板上面側で行なわれるから、この方法は、基板両面におけるパターンの整列および大面積の基板下面側開口部を必要としない。

- [0009] 前記特許文献3には、犠牲層として燐ドープ珪酸ガラス(PSG)を使用した空気ブリッジ式のFBAR/SBARデバイスの構成と製造方法が記載されている。
- [0010] しかしながら、この方法においては、エッチングによる基板上面への空洞形成、熱CVD(Chemical Vapor Deposition)法による基板上面側への犠牲層の堆積、CMP(Chemical Mechanical Polishing)研磨による基板上面の平坦化および平滑化、犠牲層上への下部電極、圧電体および上部電極の堆積とパターン形成という一連の工程の後に、犠牲層まで貫通するビアホール(穴)を開け、基板上面側に形成した圧電積層構造体をレジスト等で保護して、ビアホールを通してエッチング液を浸透させることにより犠牲層を空洞から除去する、という長くて複雑な工程を必要とし、パターン形成に使用するマスク数も大幅に増加する。製造工程が長くて複雑になると、それ自体、デバイスの高コスト化をもたらすと共に、製品の歩留りが低下して、更にデバイスを高コストなものにしてしまうという深刻な問題がある。
- [0011] 前記特許文献4には、空気ブリッジ式FBARデバイスとして、金属やポリマーを犠牲層として用いることにより、基板上面への空洞形成やCMP研磨による基板上面の平坦化の工程を必要とせず、比較的単純な工程で振動用空間を形成する、空気ブリッジ式のFBAR/SBARデバイスの構成と製造方法が記載されている。
- [0012] しかしながら、 $150 \mu\text{m} \times 150 \mu\text{m}$ 程度のサイズを有する圧電積層構造体を基板に接触させず良好に振動用空間を形成するためには犠牲層の厚みが2000nm程度必要である。2000nmの金属を堆積させると、犠牲層の表面は金属結晶の粒子成長によって、表面粗さが悪化する。この犠牲層上に圧電積層構造体を形成すると、圧電体薄膜自体の結晶配向性の低下にともなう電気機械結合係数 Kt^2 の低下や、圧電積層構造体自体の表面粗さ増大にともなう共振尖鋭度Qの低下を発生し、良好な

特性を有する圧電薄膜デバイスの作製が困難となる。犠牲層として、ポリマーを使用することも記載されているが、良好な結晶配向性を有する圧電体薄膜を形成するためには、通常、高真空中で300°C以上の温度で圧電体薄膜を形成する必要があるため、ポリマーの安定性に問題がある。さらには、圧電積層構造体の端部に2000nmもの屈曲が生じるため、圧電体薄膜へのクラックの発生や強度の低下など、信頼性が著しく悪化するという深刻な問題がある。

[0013] 前記特許文献5には、空気ブリッジ式FBARデバイスとして、基板上面への空洞形成やCMP研磨による基板上面の平坦化の工程を必要とせず、さらに圧電積層構造体の端部における屈曲を小さくできる、空気ブリッジ式のFBAR/SBARデバイスの構成と製造方法が記載されている。

[0014] しかしながら、この方法においては、あらかじめ犠牲層を第1のエッチング液でエッチングし、さらにその空隙を利用して第2のエッチング液を導入し支持膜をエッチングし、振動用空間を形成するため、2種類のエッチング液に耐性がある材料で構成する必要があり、使用する材料が著しく制限されるばかりか、工程が複雑になり製造コストが増大するという問題があった。また、犠牲層として、酸化マグネシウム、酸化亜鉛などの物質を使用しているが、蒸着法などによりこれらの物質を成膜すると、犠牲層表面の表面粗さが大きくて、その上に形成される下部電極、圧電体薄膜の結晶配向性が悪化するという問題があった。例えば、厚さ50nmの酸化マグネシウム薄膜の場合、その表面粗さ(高さのRMS変動)は、通常10nm以上となる。

[0015] 特許文献1:特開昭58-153412号公報

特許文献2:特開昭60-142607号公報

特許文献3:特開2000-69594号公報

特許文献4:特表2002-509644号公報

特許文献5:特開2003-32060号公報

発明の開示

発明が解決しようとする課題

[0016] FBARおよびSBARは圧電積層構造体における圧電体の圧電効果により発生した弾性波の伝播によって共振を得ているため、基板上の下部電極、圧電体薄膜、上部

電極などの結晶品質はもとより、振動用空間の形成の精度により、特性は大きく影響される。さらに、圧電体薄膜の屈曲が大きいと圧電体薄膜の強度が低下し、信頼性が著しく低下する。このため、特性に優れた、信頼性の高い圧電薄膜デバイスを安定して得ることが著しく困難になっている。

[0017] このような理由により、ギガヘルツ帯域で十分な性能を発揮する圧電薄膜デバイスは、未だ得られていない。したがって、工程が単純で、特性に優れ、信頼性の高い圧電薄膜デバイスの製造方法の確立と、それによって製造された圧電薄膜デバイスの実現が強く望まれている。

[0018] 本発明は、上記問題点を鑑みてなされたもので、本発明の目的は、工程が単純で、圧電積層構造体の下方に良好に振動用空間を形成することができ、特性に優れ、信頼性の高い圧電薄膜デバイスを製造する方法と、この方法により製造された圧電薄膜デバイスを提供することである。

課題を解決するための手段

[0019] 本発明者は、以上のごとき目的を達成すべく、振動用空間の形成方法について鋭意検討した結果、基板にあらかじめ特定の化学物質でエッチングされる絶縁層を形成し、振動用空間となる領域に前記特定の化学物質によるエッチング速度が前記絶縁層よりも大きい物質からなる犠牲層を形成し、その犠牲層のエッチング除去と該犠牲層の下方に設けられた絶縁層の対応部分のエッチング除去とを、エッチング液として上記特定の化学物質を用いて行うことにより、振動用空間を形成する事が、圧電薄膜デバイスの高性能化と低コスト化の両面で最も好ましい解決手段であることを見出した。

[0020] 即ち、本発明によれば、上記の目的を達成するものとして、
圧電体薄膜とその上下両面にそれぞれ形成された上部電極及び下部電極とを含んでなる圧電積層構造体が基板により支持されており、前記圧電積層構造体の振動を許容するように振動用空間が形成されている圧電薄膜デバイスを製造する方法であって、前記基板上面に特定の化学物質でエッチングされる絶縁層を形成する工程と、前記絶縁層上の一部の領域に前記特定の化学物質によるエッチング速度が前記絶縁層よりも大きい物質からなる犠牲層を形成する工程と、前記犠牲層の一部また

は全部を含む領域に下部電極を形成する工程と、前記下部電極の一部を含む領域に圧電体薄膜を形成する工程と、前記圧電体薄膜の一部を含む領域に上部電極を形成する工程と、前記犠牲層または前記犠牲層の下方に設けられた前記絶縁層の一部が露出するようにビアホールを設ける工程と、前記ビアホールから前記特定の化学物質を導入することによって前記犠牲層及びその下方に設けられた前記絶縁層を同一の前記特定の化学物質でエッチングすることにより前記振動用空間を形成する工程とを含むことを特徴とする圧電薄膜デバイスの製造方法、
が提供される。

- [0021] 本発明の一態様においては、前記ビアホールは前記犠牲層の一部を露出するよう
に前記下部電極、前記圧電体薄膜、および前記上部電極の少なくとも一層を貫通し
て形成される。
- [0022] 本発明の一態様においては、前記ビアホールは前記絶縁層の一部を露出するよう
に前記基板を貫通して形成される。
- [0023] 本発明の一態様においては、前記絶縁層の材質が珪酸ガラスまたは珪酸塩ガラス
を主成分とするものであり、前記犠牲層の材質がチタンである。
- [0024] 本発明の一態様においては、前記絶縁層の材質が窒化アルミニウムであり、前記
犠牲層の材質がアルミニウムである。
- [0025] 本発明の一態様においては、圧電薄膜デバイスの製造方法は、前記犠牲層を形
成した後、前記犠牲層および前記絶縁層の上に追加して、前記特定の化学物質に
よるエッチング速度が前記絶縁層よりも小さな物質からなる第2の絶縁層を積層する
工程を含む。
- [0026] 本発明の一態様においては、前記第2の絶縁層の材質が、窒化アルミニウムまたは
窒化ケイ素を主成分とする窒化物または酸窒化物系絶縁体である。
- [0027] 本発明の一態様においては、前記犠牲層の厚みが20nm～600nm、好ましくは2
0nm～90nmである。
- [0028] 本発明の一態様においては、前記犠牲層上面の表面粗さが高さのRMS変動で5
nm以下である。
- [0029] 本発明の一態様においては、前記絶縁層の厚みが500nm～3000nmである。

[0030] 更に、本発明によれば、上記の目的を達成するものとして、

圧電体薄膜とその上下両面にそれぞれ形成された上部電極及び下部電極を含んでなる圧電積層構造体が絶縁層を介して基板により支持されており、前記圧電積層構造体の振動を許容するように振動用空間が形成されている圧電薄膜デバイスであって、前記下部電極の下面の表面粗さが高さのRMS変動で5nm以下であると共に、前記絶縁層の上面が、前記振動用空間における前記下部電極の下面よりも下方であって、前記振動用空間の下面よりも上方に位置することを特徴とする圧電薄膜デバイス、

が提供される。

[0031] 本発明の一態様においては、前記絶縁層の上面と前記振動用空間における前記下部電極の下面との面間隔が20nm～600nm、好ましくは20nm～90nmである。また、本発明の一態様においては、前記絶縁層の上面と前記振動用空間の下面との面間隔が500nm～3000nmである。

発明の効果

[0032] 以上のように、特定の化学物質でエッチングされる絶縁層と、該絶縁層より上記特定の化学物質によるエッチング速度が大きい犠牲層とを組み合わせることにより、CMPなどの研磨技術を用いることなく、単純な工程で圧電積層構造体の下方に良好に振動用空間を形成することができ、特性に優れた、信頼性の高い圧電薄膜デバイスを安定に製造することができる。さらに、本発明の圧電薄膜デバイスは、圧電積層構造体の下方に良好な振動用空間を有するため、特性に優れ、信頼性が高いので、得られた振動空間を有する圧電積層構造体を組合せて、フィルタ、デュプレクサなどの圧電薄膜デバイスを作製するのに好適である。

発明を実施するための最良の形態

[0033] 以下に、本発明の実施の形態について詳細に説明する。

[0034] 図1は本発明による圧電薄膜デバイス(圧電薄膜共振器10)の第1の実施形態を示す模式的平面図であり、図2は図1のX-X断面図である。なお、本発明の説明において、上、下の方向は、図2のように圧電薄膜デバイスを配置した場合の図の上方、下方向を示している。従って、上面、下面等の表現もこれらの方向に従うものとす

る。

[0035] これらの図において、圧電薄膜共振器10は基板11、該基板11の上面に形成された絶縁層12、該絶縁層の一部を除去して形成した振動用空間20を跨ぐよう形成された圧電積層構造体14を有する。圧電積層構造体14は下部電極15、該下部電極15の一部を覆うようにして形成された圧電体薄膜16および該圧電体薄膜16の上に形成された上部電極17からなる。

[0036] 次に、これらの図に示される第1の実施形態の製造方法を説明する。図3(a)～(e)は上記第1の実施形態の一連の製造工程を図2と同様なX-X断面で示した説明図である。

[0037] 本実施形態では、まず、図3(a)に示されるように、基板11上に絶縁層12を形成する。次に、図3(b)に示されるように、絶縁層12上の振動用空間20に対応した領域上に、ある特定の化学物質によるエッティング速度が絶縁層12より大きな犠牲層13を形成する。次に、図3(c)に示されるように、犠牲層13と絶縁層12の上に下部電極15、圧電体薄膜16、上部電極17からなる圧電積層構造体14を形成する。次に、図3(d)に示されるように、圧電体層16と下部電極15を通して犠牲層13の一部を露出するようにビアホール18を設ける。次に、図3(e)に示されるように、このビアホールから犠牲層及び絶縁層をエッティングするためのエッティング液(上記特定の化学物質)を導入する。犠牲層13は絶縁層12に比べ、エッティング速度が大きな物質から選定されるので、まず犠牲層13が絶縁層12よりも速くエッティング除去され、それにより形成される空隙にエッティング液が良好に導入される。エッティング自体は等方性であるが、犠牲層13の除去された空隙にエッティング液が面状に導入されるため、絶縁層12は厚さ方向のエッティングが主体になり、犠牲層13の下方に位置する絶縁層12の部分が良好にエッティング除去される。犠牲層13の端部に対応して位置する絶縁層12の部分は、エッティングが等方性であるため、さらに横方向にもエッティングされるが、その量は絶縁層12の厚さ程度であり、振動用空間20は犠牲層13が除去された部分とその下方に位置した絶縁層の部分にほぼ限定される。このように、本発明では、同一のエッティング液(特定の化学物質)により犠牲層と絶縁層とがエッティングされる。

[0038] 基板11としては、Si(100)などの単結晶ウェハ、またはSOI(Silicon on Insula

tor)ウエハを用いることができる。また、ヒ素化ガリウムなどの半導体単結晶ウエハ、さらには石英ガラスなどの絶縁体基板を用いることも可能である。

[0039] 絶縁層12としては、例えば珪酸ガラス(SiO_2)を主成分とする絶縁体膜や窒化アルミニウム(AlN)膜を用いることができる。ここで、主成分とは、膜中の含有量が50当量%以上である成分を指す。珪酸ガラスを主成分とする絶縁体膜の形成方法としては、シリコンウエハを基板として用いる場合は熱酸化法による熱酸化膜の形成がまず挙げられる。シリコンウエハの表面粗さは高さのRMS変動で0.3nm以下である。熱酸化膜は、シリコンウエハの酸化により直接形成されるため、表面粗さはシリコンウエハと同程度であり、あらかじめ犠牲層を堆積し、CMP研磨技術で平坦化する方法と比較しても、圧電積層構造体の表面粗さを小さくすることができるので好ましい。熱酸化膜の他にもCVD(Chemical Vapor Deposition)法により堆積させた、珪酸ガラス、燐ドープ珪酸ガラス(PSG)、ホウ素ドープ珪酸ガラス(BSG)、燐ホウ素ドープ珪酸ガラス(BPSG)等が選択される。また、窒化アルミニウム(AlN)膜は例えばスパッタ法で形成することができる。窒化アルミニウム膜を絶縁層として使用することは、圧電体薄膜として窒化アルミニウム膜を使用する場合、同一の成膜装置を利用できるので都合が良い。

[0040] 絶縁層を高弾性率の窒化アルミニウム、窒化ケイ素を主成分とする絶縁材料で構成することにより、その上に形成する圧電積層体の電気機械結合係数が大きくなつて、得られる圧電薄膜デバイスの帯域幅を広げることができるばかりでなく、共振尖鋭度、Q値が高くなつて、得られる圧電薄膜デバイスの減衰量を大きくすることができる。また、絶縁層12は単層からなるものであつてもよいし、密着性を高めるための層や、本来の絶縁層の成分を基板側へ拡散させないための保護層を附加した複数層からなるものであつてもよい。絶縁層12の厚さは、500nmから3000nm程度が好ましい。500nmより薄くなると、圧電積層構造体の撓みにより、その一部が基板に接触し、特性に悪影響を与える可能性が著しく増加する。3000nmを超えると、振動用空間を形成するためエッチングする時間が長くなり、犠牲層端部に対応する絶縁層部分の横方向へのエッチングが進行し、振動用空間の精度が低下するため、特性に悪影響を与えるばかりか、下部電極の剥離により、圧電積層構造体の歩留まりが悪化する

。

[0041] 犠牲層13は、ある特定の化学物質によるエッティング速度が絶縁層12のエッティング速度に比べて大きい物質から選択される。絶縁層12として珪酸ガラスまたは珪酸塩ガラスを主成分とする絶縁層を用いる場合には、犠牲層13の材質としてチタン(Ti)が好適に利用できる。珪酸塩ガラスとしては、燐ドープ珪酸ガラス(PSG)、ホウ素ドープ珪酸ガラス(BSG)、燐ホウ素ドープ珪酸ガラス(BPSG)を例示することができる。この場合、エッティング液としてはふつ化水素酸やふつ化水素酸緩衝液を利用できる。これらのエッティング液に対して、チタン(Ti)は、珪酸ガラスに比べ、数倍以上のエッティング速度を有する。このため、犠牲層端部に対応して位置する絶縁層のエッティングの横方向への広がりを少なくすることができ、振動用空間の形状を精度よく制御できる。珪酸ガラスを主成分とする絶縁層を用いる場合のその他の犠牲層の材質としては、ゲルマニウム(Ge)を用いることができる。この場合、エッティング液としては、ふつ化水素酸と過酸化水素水の混合溶液が好適に利用できる。また、絶縁層12の材質として窒化アルミニウムを用いる場合は、犠牲層13の材質としてアルミニウムが好適に利用できる。この場合のエッティング液は、加熱りん酸などが使用できる。また、犠牲層13は、単一の材質からなる層であってもよいし、絶縁層12と接する最下層にエッティング速度の大きな物質からなる層をもてば、2層以上の複数層からなるものであってもよい。圧電薄膜共振器の特性は圧電体薄膜の結晶品質により大きく影響されるので、犠牲層の各層の材質を好適に選択することにより、下部電極15および圧電体薄膜16の結晶品質を高めるのが好ましい。犠牲層13の厚みは20～600nm、好ましくは20～90nmである。厚みが20nmよりも薄くなると、エッティング液の浸透が遅く、絶縁層をエッティングするのに長時間を要し、犠牲層の端部に対応して位置する絶縁層の横方向へのエッティングが進み、振動用空間の精度が低下する。厚さが90nm以上になると、得られる圧電薄膜デバイスの共振特性が若干低下する傾向にある。さらに、厚さが600nmを超えると、振動用空間を形成するのに要する時間は短縮され、加工精度も向上するが、圧電積層構造体の端部の屈曲が大きくなるため、圧電体薄膜のクラックの発生を伴いやすく、信頼性が低下する。また、犠牲層13を所定の形状にパターニングする方法としては、ドライエッティングやウェットエッティングなどのフォトリ

ソグラフィー技術や、リフトオフ法を適宜使用することができる。

[0042] 下部電極15は、スパッタ法や蒸着法で形成された金属層、及び必要に応じて該金属層と絶縁層12及び犠牲層13との間に形成される密着金属層を積層した金属層により構成され、その厚さは、例えば50～500nmである。下部電極15の材質としては、特に限定はないが、金(Au)、白金(Pt)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)、タンゲステン(W)、イリジウム(Ir)、ルテニウム(Ru)などが好適に利用される。ただし、その材質は、単一の材質からなる犠牲層を用いる場合は、エッティング液への耐性と、圧電体薄膜の結晶品質に悪影響を与えないように適宜選択する必要がある。所定の形状にパターニングする方法としては、ドライエッティングやウエットエッティングなどのフォトリソグラフィー技術や、リフトオフ法を適宜使用することができる。

[0043] 圧電体薄膜16の材質としては、窒化アルミニウム(AlN)、酸化亜鉛(ZnO)、硫化カドミウム(CdS)、チタン酸鉛(PT(PbTiO₃))、チタン酸ジルコニア酸鉛(PZT(Pb(Zr,Ti)O₃))などが用いられる。特にAlNは、弾性波の伝播速度が速く、高周波帯域で動作する圧電薄膜共振器、圧電薄膜フィルタなどの圧電薄膜デバイス用の圧電体薄膜として適している。その厚さは、例えば500～3000nmである。所定の形状にパターニングする方法としては、ドライエッティングやウエットエッティングなどのフォトリソグラフィー技術を適宜使用することができる。

[0044] 上部電極17としては、下部電極15と同様にスパッタ法や蒸着法などにより形成された金属層が使用される。上部電極17の材質としては、金(Au)、白金(Pt)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)、タンゲステン(W)、タンタル(Ta)、イリジウム(Ir)、ルテニウム(Ru)などが好適に利用される。また、密着性を高めるなどの理由から、必要に応じて該金属層と圧電体薄膜16の間に位置する密着金属層を積層することができる。上部電極17の厚さは、密着層も含め例えば50～500nmである。所定の形状にパターニングする方法としては、下部電極15と同様にドライエッティングやウエットエッティングなどのフォトリソグラフィー技術や、リフトオフ法が適宜使用される。

[0045] ビアホール18は、犠牲層13の一部を露出させ、エッティング液が良好に導入されるように設けられる。本実施形態においては、ビアホール18は犠牲層13の4隅に配置

されているが、特にこれに限定されるものではない。所望の形状のビアホールを加工する方法は、ドライエッチングやウェットエッチングなどのフォトリソグラフィー技術を適宜使用することができる。

[0046] 振動用空間20の形成は、ビアホール18からエッチング液を導入し、犠牲層13とその下に配置された絶縁層12をエッチング除去することにより行われる。このとき、エッチング液の種類や圧電積層構造体14の材質によっては、フォトレジストでビアホール18以外の部分を保護することが必要である。フォトレジストとしては、エッチング液の材質によって、ノボラック系や環化ゴム系などのものを適宜使用できる。

[0047] 図4は本発明による圧電薄膜デバイスの第2の実施形態を示す模式的平面図であり、図5は図4のX-X断面図である。また、図6(a)～(e)は、上記第2の実施形態の一連の製造工程を図5と同様なX-X断面で示した説明図である。これらの図においては、上記図1および図2における部材と同様の機能を有する部材には同一の符号が付されている。

[0048] 本実施形態では、振動用空間20を形成するための、犠牲層13または犠牲層13の下方に位置する絶縁層12の一部を露出するためのビアホールが基板11の下面側から設けられている。基板下面側から、ビアホールを形成する方法としては、六ふつ化硫黄(SF₆)などを用いたドライエッチング法や、SF₆とフロン-C318(C₄F₈)ガスを交互に用いるDeep RIE法が適用できる。本実施形態では、ビアホールは絶縁層13の一部が露出するのみであるが、第1の実施形態に比べビアホールが大きくできるため、振動用空間20を形成するためのエッチング時間は、第1の実施形態に比べむしろ短縮される。また、エッチング液が犠牲層13まで到達すると、犠牲層13が瞬時にエッチングされるため、振動用空間20の位置はビアホール18の形状によらず、犠牲層13の下方にほぼ限定される。

[0049] 図7は本発明による圧電薄膜デバイスの第3の実施形態を示す模式的平面図であり、図8は図7のX-X断面図である。これらの図においては、上記図1および図2における部材と同様の機能を有する部材には同一の符号が付されている。

[0050] 本実施形態では、基板11上に第1の絶縁層12を形成した後、第1の絶縁層12上の振動用空間20に対応した領域上に、ある特定の化学物質によるエッチング速度が

第1の絶縁層12より大きな犠牲層(上記実施形態の犠牲層13と同様のもの)を形成する。次に、この犠牲層と第1の絶縁層12の上に追加して、第1の絶縁層12と異なる材質の第2の絶縁層12'を積層する。この第2の絶縁層12'の上に、下部電極15、圧電体薄膜16、上部電極17からなる圧電積層構造体14を形成する。次に、圧電体層16、下部電極15および第2の絶縁層12'を通して犠牲層13の一部を露出するようにビアホール18を設け、このビアホールから犠牲層及び絶縁層をエッチングするためのエッチング液を導入する。犠牲層は絶縁層12に比べ、エッチング速度が大きな物質から選定されるので、まず犠牲層13が絶縁層12よりも速くエッチング除去され、それにより形成される空隙にエッチング液が良好に導入される。エッチング自体は等方性であるが、犠牲層13の除去された空隙にエッチング液が面状に導入されるため、絶縁層12は厚さ方向のエッチングが主体になり、犠牲層13の下方に位置する絶縁層12の部分が良好にエッチング除去される。犠牲層13の端部に対応して位置する絶縁層12の部分は、エッチングが等方性であるため、さらに横方向にもエッチングされるが、その量は絶縁層13の厚さ程度であり、振動用空間20は犠牲層が除去された部分とその下方に位置した絶縁層の部分にほぼ限定される。第2の絶縁層12'には、ある特定の化学物質によるエッチング速度が第1の絶縁層12よりも小さな絶縁材料を選択することにより、所望の形状の振動用空間20を形成することができる。このように、本発明では、同一のエッチング液(特定の化学物質)により犠牲層と絶縁層とがエッチングされる。

- [0051] 第2の絶縁層12'の材料としては、窒化アルミニウムまたは窒化ケイ素を主成分とする窒化物、または酸窒化物系絶縁体を好適に使用することができる。
- [0052] 以上、第1、第2および第3の実施形態で説明したように、ある特定の化学物質でエッチングされる絶縁層と、該絶縁層より上記特定の化学物質に対するエッチング速度が大きな犠牲層とを組み合わせることにより、CMPなどの研磨技術を用いることなく、絶縁層と犠牲層とを一度のエッチング操作で除去でき、単純な工程で圧電積層構造体の下方に良好に振動用空間を形成することができる。また、圧電積層構造体の端部の屈曲を小さく抑えることができるため、圧電体薄膜へのクラックの発生を防ぐことができ、特性に優れた、信頼性の高い圧電積層構造体を作製して、これを組合せ

ることにより、フィルタ、デュプレクサなどの圧電薄膜デバイスを安定に製造することが可能となる。

[0053] 上記のようにして製造された圧電薄膜デバイスは、基板と、該基板の上面に形成された絶縁層と、該絶縁層に形成された振動用空間と、前記絶縁層により支持され前記振動用空間上に配置された圧電積層構造体とを有しており、該圧電積層構造体は、圧電体薄膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の振動を許容するように形成されている圧電薄膜デバイスであって、前記絶縁層の上面が、前記振動用空間にて、隣接する前記下部電極の下面よりも下方であって、前記振動用空間の下面よりも上方に位置している。ここで、前記下部電極の下面の表面粗さとしての高さのRMS変動が5nm以下であると、圧電体薄膜自体の結晶配向性の低下にともなう電気機械結合係数Kt²の低下や、圧電積層構造体自体の表面粗さ増大にともなう共振尖鋭度Qの低下が起こりにくいので好ましい。

[0054] さらに、前記絶縁層の上面と前記振動用空間における前記下部電極の下面との面間隔は20nm～600nm、好ましくは20nm～90nmであることが望ましい。また、好ましくは、前記絶縁層の上面と前記振動用空間の下面との面間隔が500nm～3000nmである圧電薄膜デバイスである。

[0055] 本発明の圧電薄膜デバイスは、圧電積層構造体の下方に良好に振動用空間を有するため、特性に優れ、信頼性が高い。

実施例

[0056] 以下に実施例および比較例を示し、本発明をさらに詳細に説明する。

[0057] (実施例1)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0058] すなわち、厚さ625μmの6インチSiウェハの両面に、絶縁層として熱酸化法により厚さ2000nmのSiO₂層を形成した後、Siウェハ上面にフォトレジストを塗布し、図1に示すごとき振動用空間を形成するための犠牲層用のリフトオフパターンを形成した。このSiウェハの上面側に、DCマグネットロンスパッタ法により、ガス圧0.5Pa、基板加

熱なしの条件で、犠牲層として50nmのTi層を形成したのち、レジスト剥離液中で超音波を印加することにより犠牲層を所望の形状にパターン化した。次に、このSiウェハの上面に、フォトレジストを塗布し、図1に示すごとき下部電極用のリフトオフパターンを形成し、DCマグネトロンスパッタ法により、ガス圧0.5Pa、基板加熱なしの条件で、下部電極として約300nmのMo層を形成し、レジスト剥離液中で超音波を印加することにより下部電極を所望の形状にパターン化した。次に、純度99.999%のAlターゲットを用い、反応性マグネトロンスパッタ法により、全ガス圧0.5Pa、ガス組成Ar/N₂=1/1、基板温度300°Cの条件で、厚さ約1500nmのAlN圧電体薄膜を形成した。次に、加熱りん酸を使用した湿式エッチングにより、AlN圧電体薄膜を図1に示す所定の形状にパターン化した。続いて、フォトレジストを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DCマグネトロンスパッタ法により、上部電極として厚さ約300nmのMo層を形成した。さらに、レジスト剥離液中で超音波を印加することにより、上部電極を図1に示すごとき形状にパターン化した。次に、Cl₂とArの混合ガスを用いたドライエッチング法により、図1に示すごときビアホールを形成した。次に、フォトレジストを剥離させることなく、ふつ酸緩衝液に浸漬し、犠牲層と犠牲層の下方に位置する絶縁層をエッチング除去したのち、O₂プラズマ中でレジストをアシッティング除去することにより、振動用空間を作製した。以上の製造工程により、6インチSiウェハ上面に圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0059] 6インチSiウェハ内に形成した圧電薄膜共振器の電気特性をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

[0060] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数Kt²、共振尖鋭度Q、および不良率は表1に示す通りであり、Kt²=6.4%、Q=1250であり、不良率は0.1%であった。ここで、不良率とは、正常な共振波形を示さない圧電薄膜共振器の個数をウェハ上に形成された全ての圧電薄膜共振器の個数で除したものである。主として、この不良は、圧電積層構造体端部でのクラックの発生、犠牲層端部に対応する絶縁層部分の横方向のエッチング量増大に伴う下部電極の一部の剥離、さらに、圧電積層構

造体の一部が基板に物理的に接触することにより発生したものである。

[0061] [表1]

デバイス 構造	形成法	絶縁層		犠牲層		電気機械結合 係数 Kt ² (%)	共振尖鋭度 Q (-)	不良率 (%)	
		材質	厚み (nm)	材質	厚み (nm)				
実施例1 図1、2	熱離化法	SiO ₂	2000	Ti	50	0. 65	6. 4	1250	0. 1
実施例2 図1、2	熱離化法	SiO ₂	1000	Ti	50	0. 80	6. 2	1300	0. 4
実施例3 図1、2	CVD法	SiO ₂	3000	Ti	50	0. 95	6. 5	1070	0. 3
実施例4 図1、2	熱離化法	SiO ₂	500	Ti	50	0. 50	6. 2	1360	2. 5
実施例5 図1、2	熱離化法	SiO ₂	2000	Ti	20	0. 45	6. 4	1100	1. 0
実施例6 図1、2	熱離化法	SiO ₂	2000	Ti	90	0. 95	6. 4	1310	0. 4
実施例7 図1、2	熱離化法	SiO ₂	2000	Ti	500	1. 50	5. 8	890	2. 8
実施例8 図1、2	熱離化法	SiO ₂	2000	Ti	600	2. 50	5. 6	800	4. 6
実施例9 図1、2	CVD法	PSG	3000	Ti	50	0. 90	6. 5	1020	0. 1
実施例10 図1、2	CVD法	BPSG	2500	Ti	500	1. 20	6. 7	940	2. 8
実施例11 図1、2	スペック法	AlN	1500	Al	60	0. 95	6. 7	1100	0. 3
実施例12 図1、2	スペック法	AlN	1500	Al	500	1. 35	5. 9	860	3. 1
実施例13 図4、5	熱離化法	SiO ₂	500	Ti	50	0. 55	6. 2	1350	0. 3
実施例14 図4、5	熱離化法	SiO ₂	2000	Ti	80	0. 65	6. 4	1220	0. 2
実施例15 図7、8	熱離化法 加熱スペック法	SiO ₂	2000	Ti	50	0. 85	6. 6	1260	0. 5
比較例1 図1、2	熱離化法	SiO ₂	2000	Ti	0	—	—	—	—

[0062] (実施例2)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、絶縁層の厚さを1000nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0063] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数Kt²、共振尖鋭度Q、および不良率は表1に示す通りであり、Kt²=6. 2%、Q=1300であり、不良率は0. 4%であった。

[0064] (実施例3)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、絶縁層の形成方法をCVD法とし、および絶縁層の厚さを3000nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0065] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数Kt²、共振尖鋭度Q、および不

良率は表1に示す通りであり、 $Kt^2=6.5\%$ 、 $Q=1070$ であり、不良率は0.3%であった。

[0066] (実施例4)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、絶縁層の厚さを500nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0067] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=6.2\%$ 、 $Q=1360$ であり、不良率は2.5%であった。

[0068] (実施例5)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、犠牲層の厚さを20nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0069] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=6.4\%$ 、 $Q=1100$ であり、不良率は1.0%であった。

[0070] (実施例6)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、犠牲層の厚さを90nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0071] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=6.4\%$ 、 $Q=1310$ であり、不良率は0.4%であった。

[0072] (実施例7)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス

(圧電薄膜共振器)を作製した。すなわち、犠牲層の厚さを500nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0073] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=5.8\%$ 、Q=890であり、不良率は2.8%であった。

[0074] (実施例8)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、犠牲層の厚さを600nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0075] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=5.6\%$ 、Q=800であり、不良率は4.5%であった。

[0076] (実施例9)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、絶縁層の形成方法をCVD法、絶縁層の材質をPSG(磷ドープ珪酸ガラス)、絶縁層の厚さを3000nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0077] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=6.5\%$ 、Q=1020であり、不良率は0.1%であった。

[0078] (実施例10)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、絶縁層の形成方法をCVD法、絶縁層の材質をBPSG(磷ほう素ドープ珪酸ガラス)、絶縁層の厚さを2500nm、犠牲層の厚さを500nmとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄

膜共振器を作製した。

[0079] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 K_t^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $K_t^2 = 5.7\%$ 、Q=940であり、不良率は2.8%であった。

[0080] (実施例11)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0081] すなわち、厚さ $625\mu\text{m}$ の6インチSiウェハの上面に、DCマグネトロンスパッタ法により、全ガス圧 0.5Pa 、ガス組成 $\text{Ar}/\text{N}_2 = 1/1$ 、基板温度 300°C の条件で、厚さ 1500nm のAlN絶縁層を形成した。次いで、Siウェハ上面にフォトレジストを塗布し、図1に示すごとき犠牲層用のリフトオフパターンを形成した。このSiウェハの上面側に、DCマグネトロンスパッタ法により、ガス圧 0.5Pa 、基板加熱なしの条件で、犠牲層として厚さ 50nm のAl層を形成したのち、レジスト剥離液中で超音波を印加することにより犠牲層を所望の形状にパターン化した。次に、このSiウェハの上面に、フォトレジストを塗布し、図1に示すごとき下部電極用のリフトオフパターンを形成し、DCマグネトロンスパッタ法により、ガス圧 0.5Pa 、基板加熱なしの条件で、下部電極として厚さ約 300nm のMo層を形成し、レジスト剥離液中で超音波を印加することにより下部電極を所望の形状にパターン化した。次に、純度 99.999% のAlターゲットを用い、反応性マグネトロンスパッタ法により、全ガス圧 0.5Pa 、ガス組成 $\text{Ar}/\text{N}_2 = 1/1$ 、基板温度 300°C の条件で、厚さ約 1500nm のAlN圧電体薄膜を形成した。次に、加熱りん酸を使用した湿式エッチングにより、AlN圧電体薄膜を図1に示す所定の形状にパターン化した。続いて、フォトレジストを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DCマグネトロンスパッタ法により、上部電極として厚さ約 300nm のMo層を形成した。さらに、レジスト剥離液中で超音波を印加することにより、上部電極を図1に示すごとき形状にパターン化した。次に、Cl₂とArの混合ガスを用いたドライエッチング法により、図1に示すごときビアホールを形成した。次に、フォトレジストを剥離させることなく、加熱りん酸中に浸漬し、犠牲層と犠牲

層の下方に位置するAlN絶縁層をエッチング除去したのち、 O_2 プラズマ中でレジストをアッシング除去することにより、振動用空間を作製した。以上の製造工程により、6インチSiウェハ上面に圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0082] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=6.7\%$ 、Q=1100であり、不良率は0.3%であった。

[0083] (実施例12)

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、犠牲層の厚さを500nmとした以外は実施例11に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

[0084] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=5.9\%$ 、Q=860であり、不良率は3.1%であった。

[0085] (実施例13)

本実施例では、以下のようにして、図4、5に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0086] すなわち、厚さ $300\mu m$ の6インチSiウェハの両面に、熱酸化法により厚さ500nmの SiO_2 層を形成した後、Siウェハ上面にフォトレジストを塗布し、図4に示すごとき振動用空間を形成するための犠牲層用のリフトオフパターンを形成した。このSiウェハの上面側に、DCマグネットロンスパッタ法により、ガス圧0.5Pa、基板加熱なしの条件で、犠牲層として50nmのTi層を形成したのち、レジスト剥離液中で超音波を印加することにより犠牲層を所望の形状にパターン化した。次に、このSiウェハの上面に、フォトレジストを塗布し、図4に示すごとき下部電極用のリフトオフパターンを形成し、DCマグネットロンスパッタ法により、ガス圧0.5Pa、基板加熱なしの条件で、下部電極として約300nmのMo層を形成し、レジスト剥離液中で超音波を印加することにより下部電極を所望の形状にパターン化した。次に、純度99.999%のAlターゲットを用

い、反応性マグнетロンスパッタ法により、全ガス圧0.5Pa、ガス組成Ar/N₂=1/1、基板温度300°Cの条件で、厚さ約1500nmのAlN圧電体薄膜を形成した。次に、加熱りん酸を使用した湿式エッチングにより、AlN圧電体薄膜を図4に示す所定の形状にパターン化した。続いて、フォトレジストを塗布し、所定の形状にレジストをパターン化した後、DCマグネットロンスパッタ法により、上部電極として厚さ約300nmのMo層を形成した。さらに、レジスト剥離液中で超音波を印加することにより、上部電極を図4に示すごとき形状にパターン化した。次に、ウェハ両面にフォトレジストを塗布し、ウェハ下面側に図4に示すごときビアホール形成用のパターンを形成し、ふつ酸緩衝液に浸漬することによりウェハ下面側の熱酸化膜をパターン化した。さらに、SF6とC4F8ガスを交互に用いるDeep RIE法により、ウェハ上面側に形成された絶縁層(熱酸化膜)が露出するまで、Siウェハをエッチングすることにより、ビアホールを形成した。次いで、フォトレジストを剥離させることなく、ふつ酸緩衝液に浸漬し、犠牲層と犠牲層の下方に位置する絶縁層をエッチング除去した。続いて、ウェハ両面のフォトレジストをO2プラズマ中でアシング除去することにより、振動用空間を作製した。以上の製造工程により、6インチSiウェハ上面に圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0087] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数Kt²、共振尖鋭度Q、および不良率は表1に示す通りであり、Kt²=6.2%、Q=1350であり、不良率は0.3%であった。

[0088] (実施例14)

本実施例では、以下のようにして、図4、5に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、絶縁層の厚さを2000nmとした以外は実施例13に示す方法と同様な方法で図4、5に示す圧電薄膜共振器を作製した。

[0089] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数Kt²、共振尖鋭度Q、および不良率は表1に示す通りであり、Kt²=6.4%、Q=1220であり、不良率は0.2%であった。

[0090] (実施例15)

本実施例では、以下のようにして、図7、8に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0091] すなわち、厚さ $625\mu\text{m}$ の6インチSiウェハの両面に、絶縁層として熱酸化法により厚さ2000nmの SiO_2 層を形成した後、Siウェハ上面にフォトレジストを塗布し、図7に示すごとき犠牲層用のリフトオフパターンを形成した。このSiウェハの上面側に、DCマグネトロンスパッタ法により、ガス圧0.5Pa、基板加熱なしの条件で、犠牲層として50nmのTi層を形成したのち、レジスト剥離液中で超音波を印加することにより犠牲層を所望の形状にパターン化した。次に、厚さ $625\mu\text{m}$ の6インチSiウェハの上面に、DCマグネトロンスパッタ法により、全ガス圧0.5Pa、ガス組成 $\text{Ar}/\text{N}_2=1/1$ 、基板温度300°Cの条件で、厚さ300nmのAlN第2絶縁層を形成した。さらに、このAlN第2絶縁層の上面に、フォトレジストを塗布し、図7に示すごとき下部電極用のリフトオフパターンを形成し、DCマグネトロンスパッタ法により、ガス圧0.5Pa、基板加熱なしの条件で、下部電極として約300nmのMo層を形成し、レジスト剥離液中で超音波を印加することにより下部電極を所望の形状にパターン化した。下部電極パターン形成後、純度99.999%のAlターゲットを用い、反応性マグネトロンスパッタ法により、全ガス圧0.5Pa、ガス組成 $\text{Ar}/\text{N}_2=1/1$ 、基板温度300°Cの条件で、厚さ約1500nmのAlN圧電体薄膜を形成した。続いて、加熱りん酸を使用した湿式エッチングにより、AlN圧電体薄膜を図7に示す所定の形状にパターン化した。次に、フォトレジストを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DCマグネトロンスパッタ法により、上部電極として厚さ約300nmのMo層を形成した。レジスト剥離液中で超音波を印加することにより、上部電極を図7に示すごとき形状にパターン化した。その後、Cl₂とArの混合ガスを用いたドライエッチング法により、図7に示すごときビアホールを形成した。次に、フォトレジストを剥離せることなく、ふつ酸緩衝液に浸漬し、犠牲層と犠牲層の下方に位置する SiO_2 絶縁層をエッチング除去した後、O₂プラズマ中でレジストをアッシング除去することにより、振動用空間を作製した。以上の製造工程により、6インチSiウェハ上面に圧電薄膜デバイス(圧電薄膜共振器)を作製した。

[0092] 本実施例における絶縁層の形成方法、材質および厚さ、犠牲層の材質および厚さ、また得られた圧電薄膜共振器の電気機械結合係数 Kt^2 、共振尖鋭度Q、および不良率は表1に示す通りであり、 $Kt^2=6.5\%$ 、Q=1260であり、不良率は0.5%であった。

[0093] (比較例1)

本比較例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス(圧電薄膜共振器)を作製した。すなわち、犠牲層を形成しなかった以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。しかしながら、長時間エッチング処理しても、圧電積層構造体の下方に振動用空間が形成できず、電気的特性は全く評価できなかった。

図面の簡単な説明

[0094] [図1]本発明による圧電薄膜デバイス(圧電薄膜共振器)の実施形態を示す模式的平面図である。

[図2]図1のX-X断面図である。

[図3]図1、図2に示す圧電薄膜デバイスの製造工程を断面図で示した説明図である。

[図4]本発明による圧電薄膜デバイス(圧電薄膜共振器)の実施形態を示す模式的平面図である。

[図5]図4のX-X断面図である。

[図6]図4、図5に示す圧電薄膜デバイスの製造工程を断面図で示した説明図である。

[図7]本発明による圧電薄膜デバイス(圧電薄膜共振器)の実施形態を示す模式的平面図である。

[図8]図7のX-X断面図である。

符号の説明

[0095] 10 圧電薄膜デバイス(圧電薄膜共振器)

11 基板

12 絶縁層

12' 第2の絶縁層

13 犠牲層

14 圧電積層構造体

15 下部電極

16 圧電体薄膜

17 上部電極

18 ビアホール

20 振動用空間

請求の範囲

[1] 圧電体薄膜とその上下両面にそれぞれ形成された上部電極及び下部電極を含んでなる圧電積層構造体が基板により支持されており、前記圧電積層構造体の振動を許容するように振動用空間が形成されている圧電薄膜デバイスを製造する方法であって、前記基板上面に特定の化学物質でエッチングされる絶縁層を形成する工程と、前記絶縁層上の一の領域に前記特定の化学物質によるエッチング速度が前記絶縁層よりも大きい物質からなる犠牲層を形成する工程と、前記犠牲層の一部または全部を含む領域に下部電極を形成する工程と、前記下部電極の一部を含む領域に圧電体薄膜を形成する工程と、前記圧電体薄膜の一部を含む領域に上部電極を形成する工程と、前記犠牲層または前記犠牲層の下方に設けられた前記絶縁層の一部が露出するようにビアホールを設ける工程と、前記ビアホールから前記特定の化学物質を導入することによって前記犠牲層及びその下方に設けられた前記絶縁層を同一の前記特定の化学物質でエッチングすることにより前記振動用空間を形成する工程とを含むことを特徴とする圧電薄膜デバイスの製造方法。

[2] 前記ビアホールは前記犠牲層の一部を露出するように前記下部電極、前記圧電体薄膜、および前記上部電極の少なくとも一層を貫通して形成されることを特徴とする請求項1記載の圧電薄膜デバイスの製造方法。

[3] 前記ビアホールは前記絶縁層の一部を露出するように前記基板を貫通して形成されることを特徴とする請求項1記載の圧電薄膜デバイスの製造方法。

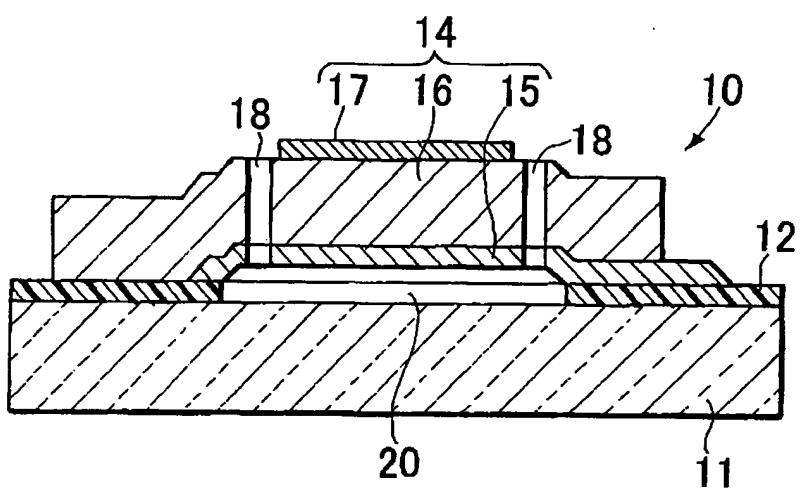
[4] 前記絶縁層の材質が珪酸ガラスまたは珪酸塩ガラスを主成分とするものであり、前記犠牲層の材質がチタンであることを特徴とする請求項1に記載の圧電薄膜デバイスの製造方法。

[5] 前記絶縁層の材質が窒化アルミニウムであり、前記犠牲層の材質がアルミニウムであることを特徴とする請求項1に記載の圧電薄膜デバイスの製造方法。

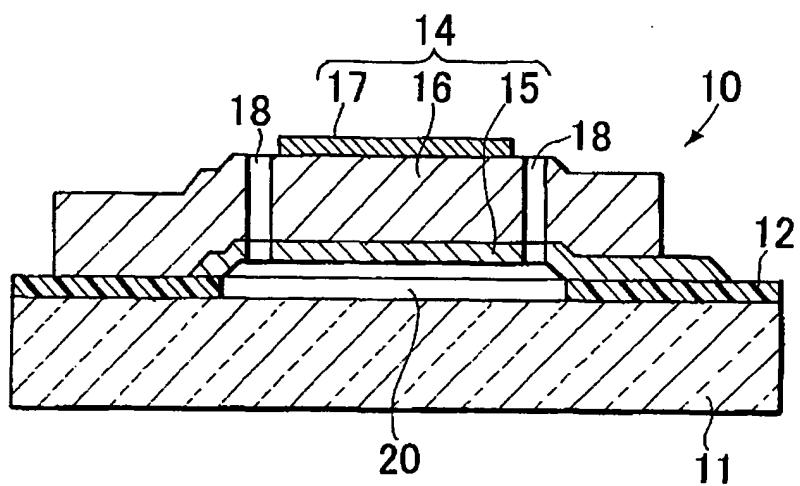
[6] 前記犠牲層を形成した後、前記犠牲層および前記絶縁層の上に追加して、前記特定の化学物質によるエッチング速度が前記絶縁層よりも小さな物質からなる第2の絶縁層を積層する工程を含むことを特徴とする、請求項1に記載の圧電薄膜デバイスの製造方法。

- [7] 前記第2の絶縁層の材質が、窒化アルミニウムまたは窒化ケイ素を主成分とする窒化物または酸窒化物系絶縁体であることを特徴とする請求項6記載の圧電薄膜デバイスの製造方法。
- [8] 前記犠牲層の厚みが20nm～600nmであることを特徴とする請求項1に記載の圧電薄膜デバイスの製造方法。
- [9] 前記犠牲層の厚みが20nm～90nmであることを特徴とする請求項1に記載の圧電薄膜デバイスの製造方法。
- [10] 前記犠牲層上面の表面粗さが高さのRMS変動で5nm以下であることを特徴とする請求項1に記載の圧電薄膜デバイスの製造方法。
- [11] 前記絶縁層の厚みが500nm～3000nmであることを特徴とする請求項1に記載の圧電薄膜デバイスの製造方法。
- [12] 圧電体薄膜とその上下両面にそれぞれ形成された上部電極及び下部電極とを含んでなる圧電積層構造体が絶縁層を介して基板により支持されており、前記圧電積層構造体の振動を許容するように振動用空間が形成されている圧電薄膜デバイスであって、前記下部電極の下面の表面粗さが高さのRMS変動で5nm以下であると共に、前記絶縁層の上面が、前記振動用空間における前記下部電極の下面よりも下方であって、前記振動用空間の下面よりも上方に位置することを特徴とする圧電薄膜デバイス。
- [13] 前記絶縁層の上面と前記振動用空間における前記下部電極の下面との面間隔が20nm～600nmであることを特徴とする請求項12記載の圧電薄膜デバイス。
- [14] 前記絶縁層の上面と前記振動用空間における前記下部電極の下面との面間隔が20nm～90nmであることを特徴とする請求項12記載の圧電薄膜デバイス。
- [15] 前記絶縁層の上面と前記振動用空間の下面との面間隔が500nm～3000nmであることを特徴とする請求項12に記載の圧電薄膜デバイス。

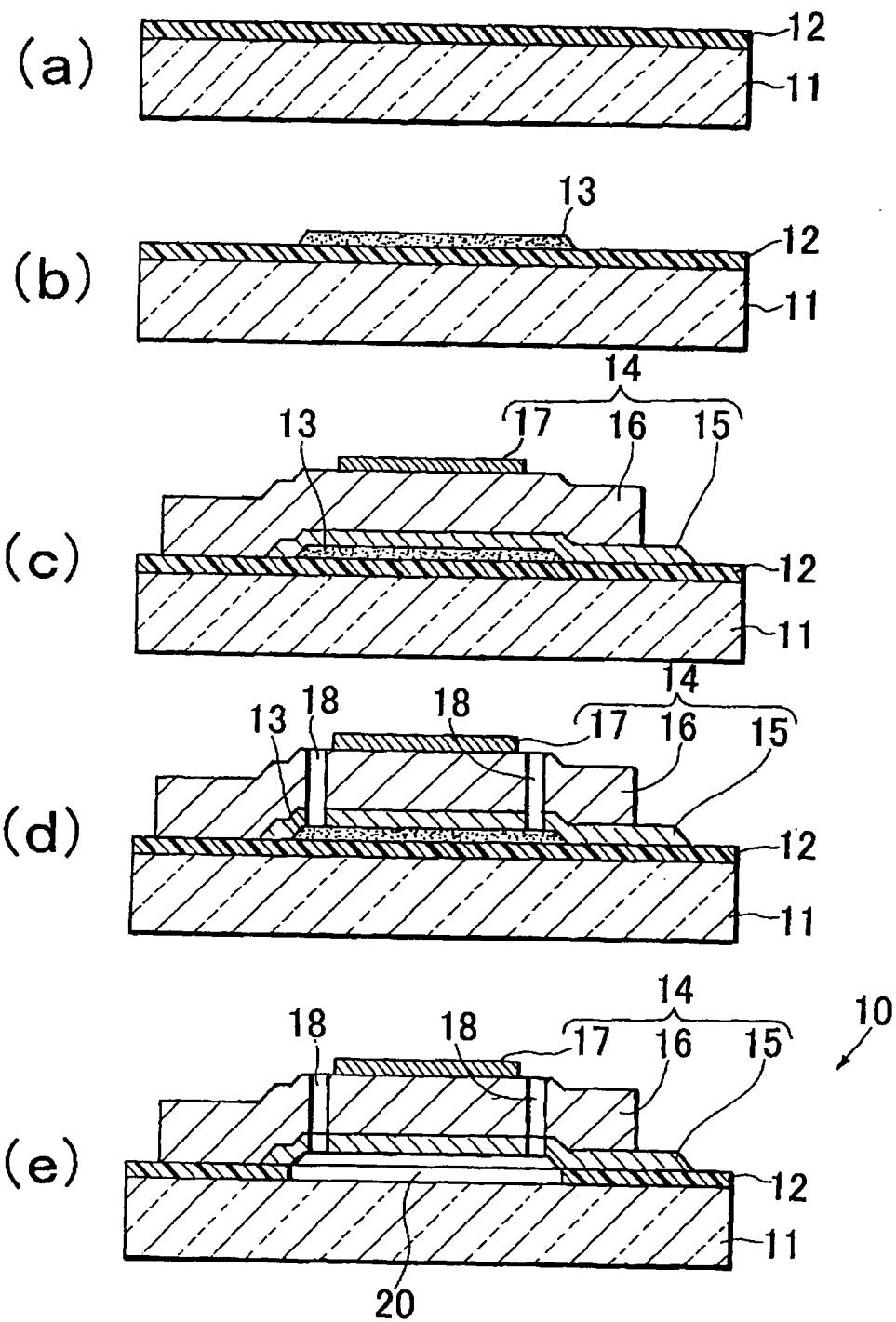
[図1]



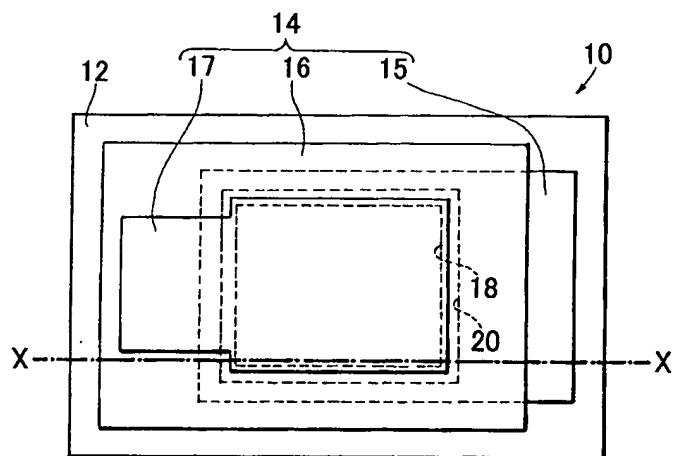
[図2]



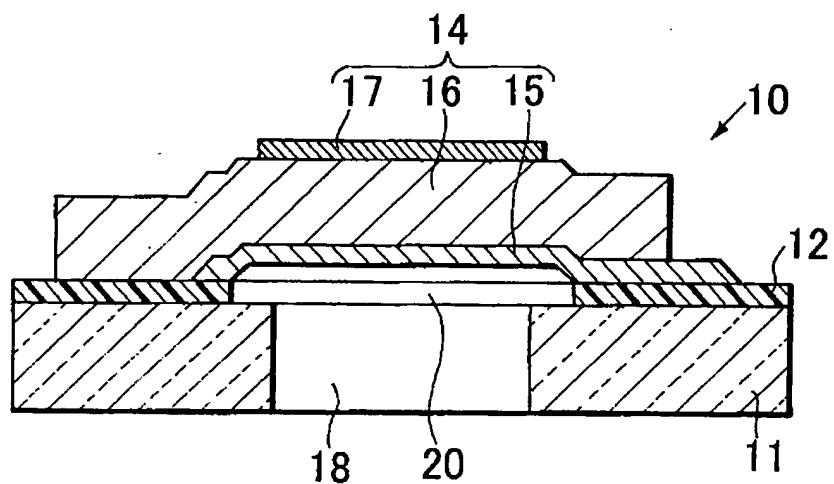
[図3]



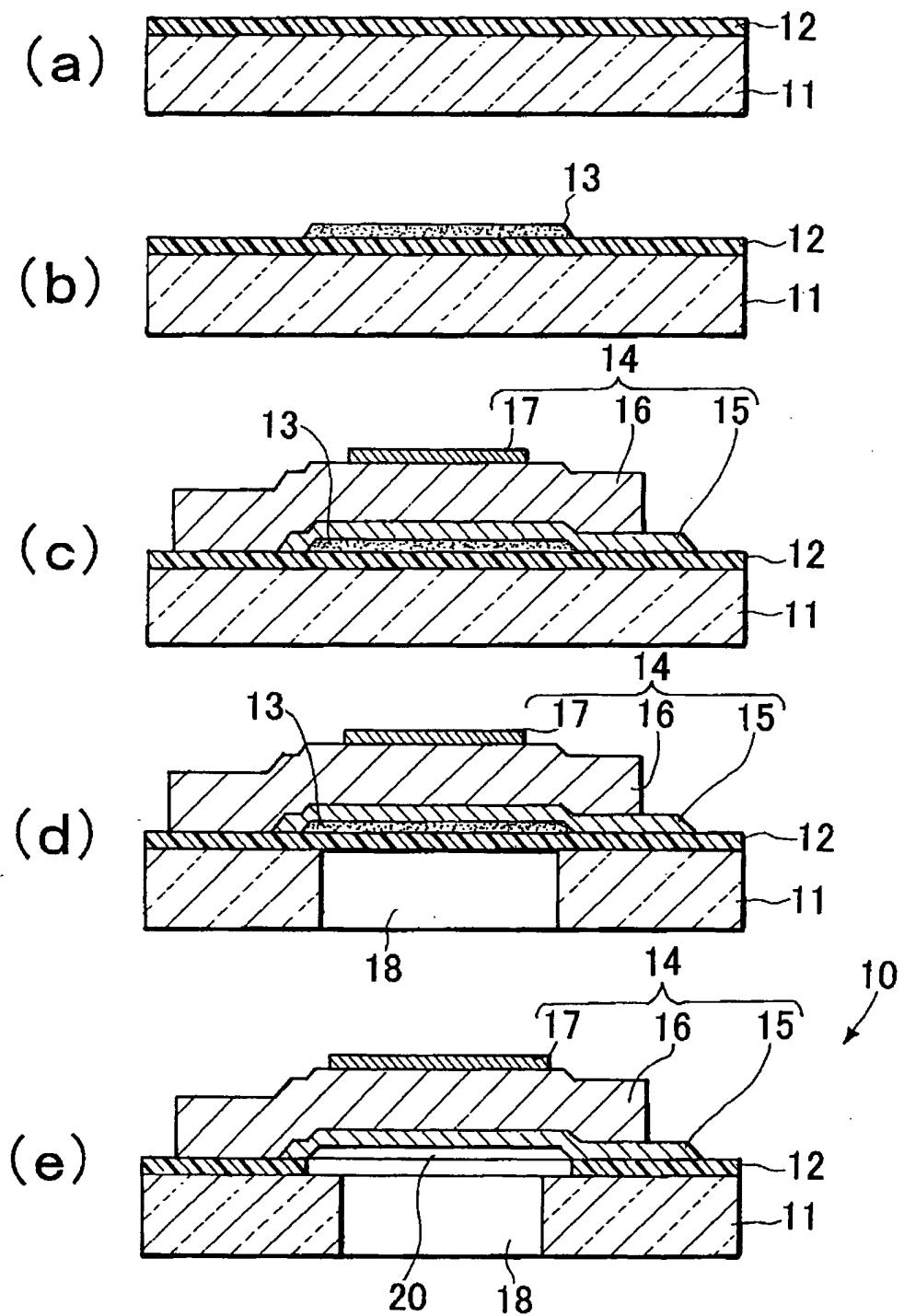
[図4]



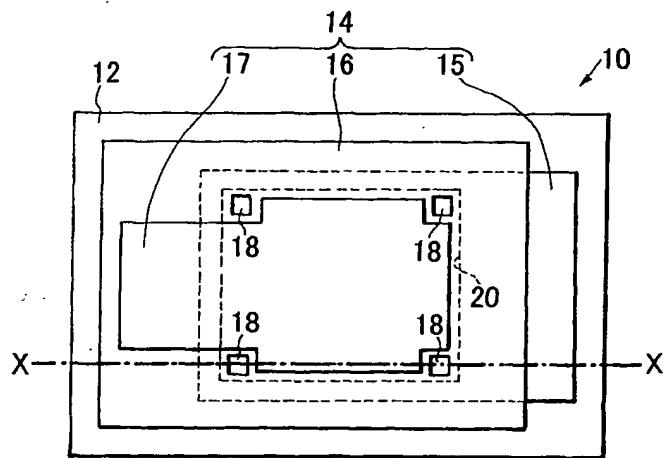
[図5]



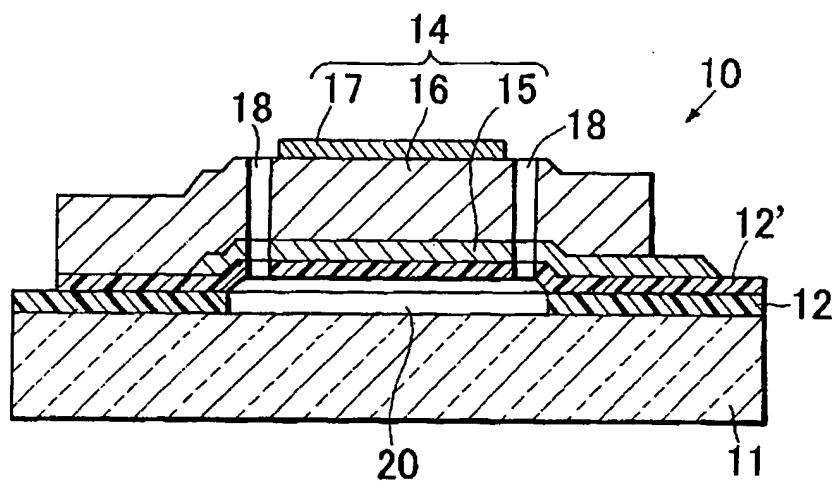
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018890

A. CLASSIFICATION OF SUBJECT MATTER

 Int.Cl⁷ H03H3/02, H01L41/22, H03H9/17, H01L41/107

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

 Int.Cl⁷ H03H3/02, H01L41/22, H03H9/17, H01L41/107

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2002/093549 A (Ube Electronics Kabushiki Kaisha), 21 November, 2002 (21.11.02), Page 18, line 32; page 24, lines 45 to 46; Fig. 20 & US 2002/0190814 A & DE 010296795 T	12-15 1-11
A	JP 2003-136499 A (Seiko Epson Corp.), 14 May, 2003 (14.05.03), Column 5, lines 19 to 22 (Family: none)	1-15
A	JP 8-330533 A (Sony Corp.), 13 December, 1996 (13.12.96), Column 4, lines 21 to 30 (Family: none)	1-15

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

 Date of the actual completion of the international search
 05 April, 2005 (05.04.05)

 Date of mailing of the international search report
 19 April, 2005 (19.04.05)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018890

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-372974 A (Ube Electronics Kabushiki Kaisha), 26 December, 2002 (26.12.02), Column 9, line 15 to column 10, line 26 (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

IntCl.⁷ H03H3/02, H01L41/22, H03H9/17, H01L41/107

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

IntCl.⁷ H03H3/02, H01L41/22, H03H9/17, H01L41/107

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 2002/093549 A (宇部エレクトロニクス株式会社) 2002.11.21,	12-15
A	第18頁第32行、第24頁第45-46行、第20図 & US2002/0190814 A & DE 01029 6795 T	1-11
A	JP 2003-136499 A (セイコーエプソン株式会社) 2003.05.14, 5欄第19-22行, ファミリーなし	1-15

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 05.04.2005	国際調査報告の発送日 19.4.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 井上 弘亘 電話番号 03-3581-1101 内線 3576 5W 3248

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 8-330533 A (ソニー株式会社) 1996.12.13, 第4欄第21-30行 ファミリーなし	1-15
A	JP 2002-372974 A (宇部エレクトロニクス株式会社) 2002.12.26, 第9欄第15行-第10欄第26行 ファミリーなし	1-15